

CLIPPEDIMAGE= JP406013447A
PAT-NO: JP406013447A
DOCUMENT-IDENTIFIER: JP 06013447 A
TITLE: SEMICONDUCTOR INTEGRATED CIRCUIT

PUBN-DATE: January 21, 1994

INVENTOR-INFORMATION:

NAME

TAGAYA, YUTAKA

ASSIGNEE-INFORMATION:

NAME

NEC CORP

COUNTRY

N/A

APPL-NO: JP04193373

APPL-DATE: June 26, 1992

INT-CL (IPC): H01L021/66; H01L027/04

US-CL-CURRENT: 257/48,257/620

ABSTRACT:

PURPOSE: To separate an auxiliary circuit for measurement efficiently and to prevent the decrease in the number of chips per wafer.

CONSTITUTION: An auxiliary circuit 10 which is used for measuring a characteristic of a chip 1 is installed in a chip 2 adjacent to the chip 1. Electricity is supplied to the auxiliary circuit 10 from the chip 1 through a power line 14 and a GND line 15. A test signal inputted into a pad 11 from a probe of an IC tester is processed in the auxiliary circuit 10 and then is inputted into a circuit to be measured in the chip 1 through a signal line 13 and a signal input terminal 12. After measurement of a characteristic, a wafer is cut along scribe lines 16 and thereby the auxiliary circuit 10 on the chip 2 is separated from the chip 1.

COPYRIGHT: (C)1994,JPO&Japio

(11)特許出願公開番号

特開平6-13447

(43)公開日 平成6年(1994)1月21日

(51)Int.Cl.⁵

識別記号

室内整理番号

FI

技術表示箇所

H O I L 21/66

Y 7352-4M

27/04

T 8427-4M

審査請求 未請求 請求項の数 1 (全 4 頁)

(21)出題番号

特麗平4-193373

(22)出願日

平成4年(1992)6月26日

(71)出題人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 多賀谷 裕

東京都港区芝五丁目7番1号 日本電気株

式会社内

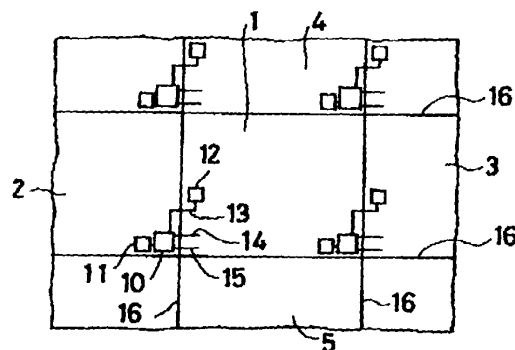
(74)代理人 弁理士 尾身 祐助

(54)【発明の名称】 半導体集積回路

(57) 【要約】

【目的】 測定用補助回路の切り離し作業の効率化。ウェハ当たりのチップ数の低減化の防止。

【構成】 チップ1の特性測定を行うときに用いる補助回路10をチップ1に隣接したチップ2内に設ける。補助回路10への給電は電源ライン14、GNDライン15を介してチップ1から行われる。ICテストの探針からパッド11に入力されたテスト信号は、補助回路10で加工された後、信号ライン13、信号入力端子12を介してチップ1内の被測定回路へ入力される。特性測定終了後、スクライブ線16に沿ってウェハを切断すると、チップ2上の補助回路10はチップ1から分離される。



1~5…半導体集積回路チップ

10…特性測定用補助回路

11…特性測定用パッド

12…被測定回路の信号入力端子

13… 信号ライン

14…電源ライン

15...GNDライン

16..スクライブ線

1

【特許請求の範囲】

【請求項1】 半導体チップ上に特定の機能を有する電子回路が形成されている半導体集積回路において、当該チップの電子回路を試験するための測定用補助回路がウェハ上で当該チップに隣接したチップ上に形成されていることを特徴とする半導体集積回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体集積回路に関し、特にウェハテスト時に使用する測定用補助回路が形成されている半導体集積回路に関する。

【0002】

【従来の技術】ウェハテスト、即ちベレットサイズ前のウェハの段階で各チップに対して行われる良否判定には、通常ICテストが用いられる。而してICテストは、～数10MHz程度迄の動作速度の回路についての試験が可能であり、テストピンにおけるパルスの立ち上がり（立ち下がり）のスピードは数10ns～100ns程度である。

【0003】ところが、例えば超高速バイポーラ素子を用いたアリスケラ等は8GHz程度の高速度動作を行うため、このような回路をテストするには、立ち上がり速度が10ns以下の高速度なテスト信号が必要となる。上述の緩慢な立ち上がり速度のICテストでテストを行った場合、ダブルカウントする等の不都合が起こるからである。そこで、これらの製品に対するウェハテストは、通常、消費電流やバイアス電圧特性等のDCテストのみで済している。

【0004】しかし、上記のDCテストのみでは不良品の検出が十分に行えない場合があり、そのような製品に対しては超高周波測定が必要となる。その場合には、ICテストのテスト信号を、補助回路を通すことにより、立ち上がり（立ち下がり）の速い信号に変換し、これを被テスト回路に入力することが行われている。従来、この補助回路は次のように設置されていた。

【0005】① 補助回路を、プローブ探針を保持するプローブカード（テストボード）上に搭載する。

② 被測定回路と同一チップ上に補助回路を設ける。

③ 補助回路を、被測定回路と隣接した専用チップ上に設ける。

【0006】図3は、②の例を示すウェハの平面図である。同図において、1～5は、被測定回路類が搭載された半導体集積回路チップであり、ここで、チップ1にはチップ2～4が隣接している。各チップには、特性測定用補助回路10が形成されており、この回路には、電源ライン14、GNDライン15によりテスト回路10に電力が供給される。ICテストより特性測定用パッド11に入力された信号は、補助回路10で加工され、信号ライン13を介して、被測定回路の入力端子12に供給される。これらのチップは特性測定後にスクライブ線

2

6によって切断され個々のベレットに分断される。

【0007】図4は、上記③の例を示すウェハの平面図であり、この場合、補助回路10は、電源パッド17、GNDパッド18とともに補助回路用専用チップ6、7に搭載されている。補助回路用専用チップ6、7は、特性測定終了後には、本来の回路が搭載されている半導体集積回路チップ1～5からは切断・除去される。この③のケースでは、半導体集積回路チップ1と補助回路用専用チップ6とは、信号ライン13によって接続されているのみである。

【0008】

【発明が解決しようとする課題】上述した①の従来例では、スペース的に制約のあるプローブカード上に補助回路を実装する必要があるため、任意の複雑な補助回路を搭載することが困難である。更に、被測定チップから補助回路までの距離が大きいと、高い周波数領域での特性が劣化するという問題点もある。

【0009】また、②の例では、特性テスト後に、電気的特性の改善および消費電力低減の面から、被測定回路より補助回路を取り除かなければならないが、全半導体集積回路チップに関してこの切り離し作業を行うことは、極めて困難なことである。

【0010】更に、③の従来例では、補助回路専用チップの面積としてベレット分割作業でのマージンを見込んでおく必要があるため、相当の面積が補助回路に消費されることになる。そのため1ウェハからとれるチップ数が減少してコストアップにつながるという問題点があった。

【0011】

【課題を解決するための手段】本発明の半導体集積回路は、これらの問題点を解決するために、半導体基板上に設けられた電子回路の機能テストを行うための特性測定補助回路を、ウェハ上に隣接する製品チップ上に配置し、特性測定用補助回路を通った信号をスクライブ線を横切って被測定チップに供給することの特徴としている。

【0012】

【実施例】次に、本発明の実施例について図面を参照して説明する。図1は、本発明の第1の実施例を示す半導体ウェハの平面図である。この実施例においては、被測定回路を含む半導体集積回路チップ1に、同様な半導体集積回路チップ2～5が隣接しており、チップ1の被測定回路に対する特性測定用補助回路10および特性測定用パッド11が隣接した半導体集積回路チップ2に搭載されている。ただし、特性測定用補助回路10への電力は、電源ライン14、GNDライン15を介してチップ1から供給される。また、特性測定用補助回路10—信号入力端子12間もチップ間をまたぐ信号ライン13により接続されている。

【0013】チップ1に対する機能テストの際には、1

10

20

30

40

50

Cテストからの信号は探針を介してチップ2の特性測定用パッド11に入力される。この信号は、特性測定用補助回路10において加工され、立ち上がり時間が10ns以下の急峻なパルスに変換された後、チップ1の信号入力端子12を介してチップ1内の被測定回路に入力される。

【0014】本実施例では、このように被測定回路の搭載されたチップ1と、このチップをテストするための補助回路を搭載したチップとを別個のものとしたことにより、特別なライン切断工程は設けなくとも、スクライプ線16上でこれらのチップ間を切断するときに、信号ライン13、電源ライン14、GNDライン15も同時に切断することができる。また、チップ分割後は、電力を消費しない補助回路10と、切断された信号ライン、電源ライン、GNDラインが残るだけであり、そしてこれら残された回路およびラインにより本体回路の高周波特性が大きく損なわれることはない。また、この実施例のウェハは、補助回路専用のチップを含まず、本来の製品チップ面積とはほぼ同等のチップ面積でテスト用回路の付加が可能のため、ウェハ当たりのチップ数に与える影響も少ない。従って、本実施例により、超高速回路のオンウェハでの機能テストが可能となり、テスト工数の削減、テスト信頼性の向上に対して大きな効果を上げることができる。

【0015】図2は、本発明の第2の実施例を示すウェハの平面図である。本実施例の図1に示された第1の実施例と相違する点は、チップ2上の特性測定用補助回路10への給電を、チップ1から電源ライン14を介して行うのに代えて、チップ2内に電源パッド17を設け、該パッドを介して行うようにした点である。本実施例では、被測定回路における配線長を短くできるので、より高周波特性を向上させることができる。

【0016】

【発明の効果】以上説明したように、本発明の半導体集積回路は、半導体基板上に設けられた電子回路の機能テストを行うための特性測定用補助回路を、ウェハ上でその電子回路の搭載された被測定チップに隣接したチップ上に配置し、特性測定用補助回路を通った信号をスクライプ線を横切って被測定チップに供給するようにしたものである。従って、本発明によれば、半導体集積回路チップ面積の増加を最小限におさえつつ特性測定専用の回路をウェハ内に付加することができる。従って、本発明によれば、ウェハ当たりのチップ数に影響を与えることなく、高周波特性に優れた信号を被測定回路に供給することが可能になる。また、半導体集積回路チップのベレックタイズ工程において、自動的に測定用補助回路および電源回路が切断されるため、結果としてテスト工数の削減、チップ単価の低減化、等の効果を期待できる。

【図面の簡単な説明】

【図1】 本発明の第1の実施例を示すウェハの平面図。

【図2】 本発明の第2の実施例を示すウェハの平面図。

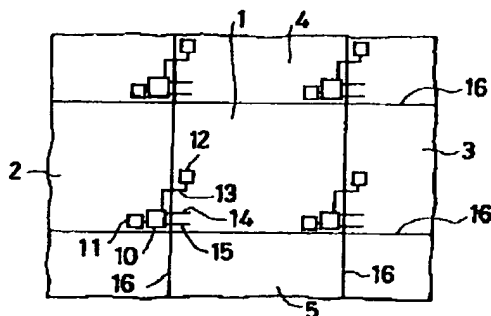
【図3】 第1の従来例のウェハの平面図。

【図4】 第2の従来例のウェハの平面図。

【符号の説明】

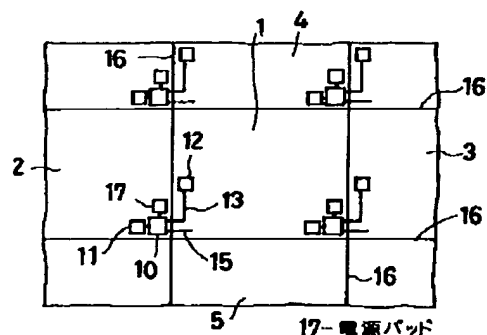
1～5…半導体集積回路チップ、 6、7…補助回路専用チップ、 10…特性測定用補助回路、 11…特性測定用パッド、 12…被測定回路の信号入力端子、 13…信号ライン、 14…電源ライン、 15…GNDライン、 16…スクライプ線、 17…特性測定用電源パッド、 18…特性測定用GNDパッド。

【図1】



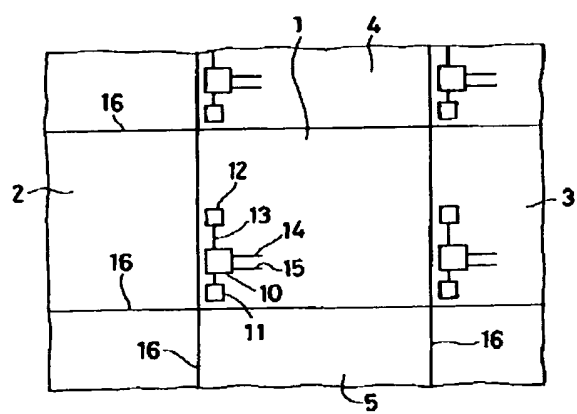
- | | |
|-----------------|-----------|
| 1～5…半導体集積回路チップ | 13…信号ライン |
| 10…特性測定用補助回路 | 14…電源ライン |
| 11…特性測定用パッド | 15…GNDライン |
| 12…被測定回路の信号入力端子 | 16…スクライプ線 |

【図2】



17…電源パッド

【図3】



【図4】

